

Patent Abstracts of Japan

PUBLICATION NUMBER : 10112548
PUBLICATION DATE : 28-04-98

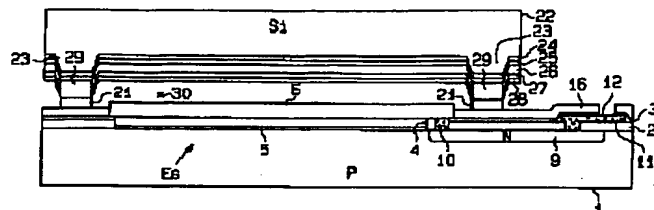
APPLICATION DATE : 04-10-96
APPLICATION NUMBER : 08264642

APPLICANT : DENSO CORP;

INVENTOR : NAGAKUBO MASAO;

INT.CL. : H01L 29/84 H01L 21/02

TITLE : SEMICONDUCTOR DEVICE AND ITS
MANUFACTURE



ABSTRACT : PROBLEM TO BE SOLVED: To provide a semiconductor device and its manufacturing method which can eliminate troubles caused by a natural oxide film formed in a surface of silicon in a junction place by Au/Si eutectic.

SOLUTION: A sensor element Es is formed in a surface of a silicon board 1 and a cap 22 which covers the sensor element Es with a clearance thereto is provided in a surface of the silicon board 1. A circular leg part 23 is provided to the cap 22, and a titanium thin film 24, a gold thin film 25, a gold thin film 26, a titanium thin film 27 and a gold thin film 28 are laminated in a lower surface of the cap 22. A tip surface (lower surface) of the leg part 23 at the side of the cap 22 and an Si junction frame 21 at the side of a P-type silicon board 1 are joined by Au/Si eutectic 29 and the Au/Si eutectic 29 contains oxide of titanium which is a metal to deoxidize silicon oxide.

COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-112548

(43) 公開日 平成10年(1998) 4月28日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 29/84
21/02

H 0 1 L 29/84
21/02

C
B

審査請求 未請求 請求項の数10 O L (全 15 頁)

(21) 出願番号 特願平8-264642

(22) 出願日 平成8年(1996)10月4日

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 吉原 晋二

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(72) 発明者 小原 文雄

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(72) 発明者 永久保 雅夫

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

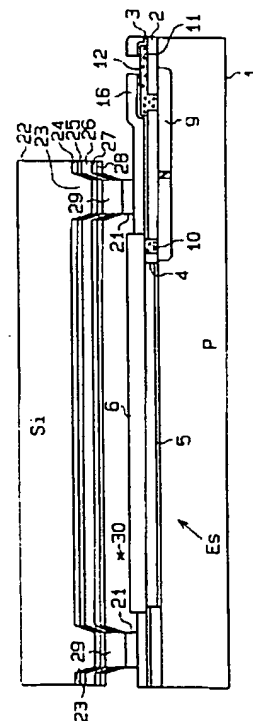
(74) 代理人 弁理士 恩田 博宣

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 Au/Si 共晶による接合箇所においてシリコンの表面に形成される自然酸化膜による不具合を解消することができる半導体装置及びその製造方法を提供する。

【解決手段】 シリコン基板1の表面にセンサ素子Esが形成されるとともに、シリコン基板1の表面においてセンサ素子Es に対し空隙をもって覆うキャップ22が設けられている。キャップ22には環状の脚部23が設けられ、キャップ22の下面にはチタン薄膜24、金薄膜25、金薄膜26、チタン薄膜27、金薄膜28が積層されている。キャップ22側の脚部23の先端面(下面)とP型シリコン基板1側のSi 接合棒21とは、Au/Si 共晶体29にて接合され、Au/Si 共晶体29はシリコン酸化物を還元する金属であるチタンの酸化物を含有している。



【特許請求の範囲】

【請求項1】 第1の基板と第2の基板とが対向配置され、両基板が、第1の基板でのシリコン部と第2の基板での金薄膜部とのAu/Si共晶体にて接合された半導体装置において、

前記Au/Si共晶体に、シリコン酸化物を還元する金属の酸化物が含有されてなる半導体装置。

【請求項2】 第1の基板と第2の基板とが対向した状態で接合された半導体装置の製造方法であって、第2の基板形成用ウェハにおける少なくとも接合部に金の薄膜を形成する第1工程と、

前記金の薄膜の表面に、シリコン酸化膜に対し還元性のある金属薄膜を形成する第2工程と、

前記第2の基板形成用ウェハの金属薄膜と第1の基板形成用ウェハのシリコン部とを接近させた状態から、Au/Si共晶温度以上に加熱して前記第1の基板形成用ウェハのシリコン部と前記第2の基板形成用ウェハの金の薄膜とを接合する第3工程と、

前記第1の基板形成用ウェハを各チップ毎にダイシングする第4工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項3】 素子形成用基板の表面に機能素子が形成されるとともに、素子形成用基板の表面において機能素子に対し空隙をもって覆うキャップが設けられた半導体装置の製造方法であって、

キャップ形成用ウェハでの、素子形成用ウェハの表面における少なくとも機能素子の形成領域の周囲に対応する部位に金の薄膜を形成する第1工程と、

前記金の薄膜の表面に、シリコン酸化膜に対し還元性のある金属薄膜を形成する第2工程と、

前記キャップ形成用ウェハの金属薄膜と素子形成用ウェハのシリコン部とを接近させた状態から、Au/Si共晶温度以上に加熱して前記素子形成用ウェハのシリコン部と前記キャップ形成用ウェハの金の薄膜とを接合する第3工程と、

前記素子形成用ウェハを各チップ毎にダイシングする第4工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項4】 還元性のある金属薄膜は、チタン薄膜、アルミ薄膜、タンタル薄膜、ジルコニウム薄膜、ニオブ薄膜の内の少なくともいずれか1つである請求項2に記載の半導体装置の製造方法。

【請求項5】 還元性のある金属薄膜はその厚さが100～1000Åである請求項2に記載の半導体装置の製造方法。

【請求項6】 還元性のある金属薄膜の表面に金薄膜を形成した後にウェハ接合を行うようにした請求項2に記載の半導体装置の製造方法。

【請求項7】 前記金薄膜はその厚さが200～500Åである請求項6に記載の半導体装置の製造方法。

【請求項8】 前記第3工程のウェハ接合は真空雰囲気下または不活性ガス雰囲気下または還元雰囲気下で行うものである請求項2に記載の半導体装置の製造方法。

【請求項9】 ウェハ接合前においてシリコン部の表面に粗面化処理を行うようにした請求項2に記載の半導体装置の製造方法。

【請求項10】 粗面化処理はスパッタリングまたはアルカリエッチングにより行うようにした請求項9に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は半導体装置及びその製造方法に係り、例えば、機能素子を覆う保護キャップを有する半導体装置等に適用できるものである。

【0002】

【従来の技術】従来、半導体加速度センサやヨーレートセンサ等においては、シリコンチップ上に可動部（振動部）を有し、可動部（振動部）の変位により加速度等の物理量を電気信号に変換して取り出すようになっていゝる。又、このような半導体装置において、可動部（振動部）を保護するために可動部をキャップにて覆うことが行われている（例えば、特開平5-326702号公報等）。さらに、検出感度の高感度化、特性の安定性あるいはエアダンピングの回避等を考慮すると可動部周囲の雰囲気としては不活性ガスや還元性ガス、場合によっては真空がよい。以上のことから可動部をこれらの雰囲気中で封止する必要性から、リークのないキャップが必要不可欠となる。

【0003】

【発明が解決しようとする課題】これに対応するようなキャップ形態として特開平5-326702号公報のように可動部を有する構造体をチップごと覆うと小型化には適さない。又、特開平4-304679号公報のように構造体をウェハプロセス中に薄膜で封止する技術もあるが、キャップが薄膜で形成されるために機械的強度が低い、構造体の形状に制限がある、汎用性がない等の欠点がある。キャップの機械的強度を向上するために、薄膜でなくバルクのキャップをチップ上に形成する場合は、接合方法に工夫が必要となるとともに、量産性を考慮した製造方法（キャップの一括接合など）が要求される。

【0004】接合方法としては陽極接合や直接接合や共晶接合などがあるが、陽極接合では、チップに接合する際に高電圧が印加されるため高耐圧性のない回路素子は破壊されたり（チップに構造体しかない場合は特に問題にならないが、回路素子を別チップで形成する必要がある汎用性のある接合方法とは言えない）、接合時にガスが放出され、センサ特性に影響が出る（特に真空封止においては真空度が劣化する）。又、直接接合では原子レベルで密着させる必要性から現状では極限られた範囲し

が適用されておらず、接合に関わる表面の平坦性が要求されたり、高加圧力で密着させる必要から汎用的な方法とは言えず、この場合も適用し難い。

【0005】さらに、共晶接合は歴史的に古い接合方法ではあるが、接合部が液化することから加圧力も低くなり、Au/Si共晶接合法においては接合温度も低く、プロセスとの整合性もあることからキャップの接合方法として最も有効的と考えられるが、共晶反応はボイドが生じやすい欠点がある。ボイドが形成されるとその発生箇所によってはリークが生じる。現在、ボイドレスな接合を高歩留まりで確立したという報告はない。又、Au/Si共晶接合法においてSi（シリコン）は極めて活性な物質であるためにシリコンの表面には自然酸化膜が形成され、この酸化膜によりシリコンとAu（金）との界面において全域において共晶領域が形成されておらず接合の強度が大きくばらついてしまう。

【0006】そこで、この発明の目的は、Au/Si共晶による接合箇所においてシリコンの表面に形成される自然酸化膜による不具合を解消することができる半導体装置及びその製造方法を提供することにある。

【0007】

【課題を解決するための手段】請求項2に記載の発明によれば、第1工程により、第2の基板形成用ウェハにおける少なくとも接合部に金の薄膜が形成され、第2工程により、金の薄膜の表面に、シリコン酸化膜に対し還元性のある金属薄膜が形成される。そして、第3工程により、第2の基板形成用ウェハの金属薄膜と第1の基板形成用ウェハのシリコン部とを接近させた状態から、Au/Si共晶温度以上に加熱して第1の基板形成用ウェハのシリコン部と第2の基板形成用ウェハの金の薄膜とを接合させる。さらに、第4工程により、第1の基板形成用ウェハを各チップ毎にダイシングして各チップに裁断する。

【0008】又、請求項3に記載の発明によれば、第1工程により、キャップ形成用ウェハでの、素子形成用ウェハの表面における少なくとも機能素子の形成領域の周囲に対応する部位に金の薄膜が形成される。第2工程により、金の薄膜の表面に、シリコン酸化膜に対し還元性のある金属薄膜が形成される。そして、第3工程により、キャップ形成用ウェハの金属薄膜と素子形成用ウェハのシリコン部とを接近させた状態から、Au/Si共晶温度以上に加熱して素子形成用ウェハのシリコン部とキャップ形成用ウェハの金の薄膜とが接合される。さらに、第4工程により、素子形成用ウェハを各チップ毎にダイシングして各チップに裁断する。

【0009】その結果、素子形成用基板の表面に機能素子が形成されるとともに、素子形成用基板の表面において機能素子に対し空隙をもって覆うキャップが設けられた半導体装置が製造される。このように製造された半導体装置においては、請求項1に記載のように、Au/S

i共晶体に、シリコン酸化物を還元する金属の酸化物が含有されている。

【0010】このような製造工程において、還元性のある金属薄膜の存在により、シリコン部の表面には自然酸化膜が形成されるが、この自然酸化膜による接合強度のバラツキを小さくして（図24の $\Delta L2 < \Delta L1$ ）、安定した接合界面を得ることができる。

【0011】このような効果が得られる本発明は次のメカニズムによるものと推測される。まず、本発明を用いなかった場合における接合メカニズムを説明する。図27に示すように、シリコン101と金薄膜102とを接合する際に、シリコン101および金薄膜102の表面はミクロ的には凹凸を有しており、かつ、シリコン101の表面には自然酸化膜103が形成されている。図28に示すように、シリコン101と金薄膜102とを接触させるとシリコン101の表面と金薄膜102の表面とは点接触した状態となり、さらに金薄膜102に対し加圧力を加えると自然酸化膜103の一部が破れてシリコン101の表面の山（あるいは谷）と金薄膜102の表面の谷（あるいは山）とが嵌め合った状態となる。さらに、共晶温度以上に加熱すると図29に示すようにシリコン101と金薄膜102との界面において共晶領域104a、104bが形成されてシリコン101と金薄膜102とが接合される。このとき、自然酸化膜103の存在によりシリコンと金との接触が妨げられシリコン101と金薄膜102との界面における一部領域にしか共晶領域が形成されない。つまり、前述した加圧力による自然酸化膜103の破れた領域のみが共晶領域となる。

【0012】これに対し本発明では以下のメカニズムにより接合する。図30に示すように、シリコン111と金薄膜112とを接合する際に、シリコン111および金薄膜112の表面はミクロ的には凹凸を有しており、かつ、シリコン111の表面には自然酸化膜113が形成されている。又、金薄膜112の表面にはチタン薄膜114が形成されている。そして、図31に示すようにシリコン111と金薄膜112とを接触させるとシリコン111の表面と金薄膜112の表面とは点接触した状態となり、さらに、共晶温度以上の加熱開始により図32に示すようにシリコン111と金薄膜112との界面の一部において共晶領域116a、116b、116c、116dが形成され、更なる加熱により図33に示すようにシリコン111と金薄膜112との界面の全域において共晶領域116eが形成される。つまり、チタン薄膜114により自然酸化膜113が還元されシリコンとなり、シリコン111と金薄膜112とが全域において接触した状態となり全域において共晶領域116eが形成される。尚、チタンは酸化されて酸化チタンとなり共晶領域116e内に取り込まれる。

【0013】このようにしてシリコン111と金薄膜1

12とが接合される。よって、金薄膜112の表面に配置したチタン薄膜114の存在により自然酸化膜113によるバリア機能を無くしてシリコンと金とが界面の全領域で接触可能となり、ボイドの発生を抑制して自然酸化膜による接合強度のバラツキを小さくして安定した接合界面を得ることができる。

【0014】尚、これまでのメカニズムの説明においてはチタン薄膜114を例にとったが、還元性薄膜としてのチタン薄膜の代わりに、シリコン酸化膜に対し還元性のあるアルミ薄膜、タンタル薄膜、ジルコニウム薄膜、ニオブ薄膜であっても同様に機能する。

【0015】つまり、請求項4のように還元性のある金属薄膜は、チタン薄膜、アルミ薄膜、タンタル薄膜、ジルコニウム薄膜、ニオブ薄膜の内の少なくともいずれか1つを使用するとよい。

【0016】又、請求項5のように、還元性のある金属薄膜はその厚さを100～1000Åとすると、最適化が図られる。又、請求項6のように、還元性のある金属薄膜の表面に金薄膜を形成した後にウェハ接合を行うようにしてもよい。つまり、図30においてチタン薄膜114の表面に金薄膜115を設けることによりチタン薄膜114の酸化が防止される。

【0017】請求項7のように、金薄膜（図30の金薄膜115）はその厚さを200～500Åとすると、最適化が図られる。請求項8のように、前記第3工程のウェハ接合は真空雰囲気下または不活性ガス雰囲気下または還元雰囲気下で行うと、還元性のある金属薄膜の酸化を抑制でき、酸化防止用の金属膜形成工程を削除することができる。

【0018】請求項9のように、ウェハ接合前においてシリコン部の表面に粗面化処理を施すことにより、シリコン部の表面積を増大させて共晶反応を促進させることができる。この粗面化処理は請求項10のようにスパッタリングまたはアルカリエッチングにて行うことができる。

【0019】

【発明の実施の形態】以下、この発明を半導体加速度センサに具体化した第1の実施の形態を図面に従って説明する。

【0020】図1は、本実施の形態における可動ゲートMOSTランジスタ型加速度センサの平面図を示す。又、図2には図1のII-II断面を示し、図3には図1のIII-III断面を示す。

【0021】第1の基板および素子形成用基板としてのP型シリコン基板1上にはフィールド酸化膜2が形成されるとともにその上に窒化シリコン膜3が形成されている。又、P型シリコン基板1上には、フィールド酸化膜2および窒化シリコン膜3の無い長方形の領域4（図1参照）が形成されている。又、領域4におけるP型シリコン基板1の上にはゲート絶縁膜5が形成されてい

る。窒化シリコン膜3の上には、領域4を架設するように両持ち梁構造の可動ゲート電極6が配置されている。この可動ゲート電極6は帯状にて直線的に延びるポリシリコン薄膜よりなる。又、フィールド酸化膜2および窒化シリコン膜3によりP型シリコン基板1と可動ゲート電極6とが絶縁されている。

【0022】図3において、P型シリコン基板1における可動ゲート電極6の両側には不純物拡散層からなる固定ソース電極7と固定ドレイン電極8が形成され、この電極7、8はP型シリコン基板1にイオン注入等によりN型不純物を導入することにより形成されたものである。

【0023】図2に示すように、P型シリコン基板1にはN型不純物拡散領域9が延設され、N型不純物拡散領域9はアルミ10により可動ゲート電極6と接続されるとともにアルミ配線11と電気的に接続されている。アルミ配線11の他端部はアルミパッド（電極パッド）12として窒化シリコン膜3およびその上に配置されたシリコン酸化膜16から露出している。又、図3に示すように、P型シリコン基板1にはN型不純物拡散領域13が延設され、N型不純物拡散領域13は固定ソース電極7と接続されるとともにアルミ配線14と電気的に接続されている。アルミ配線14の他端部はアルミパッド（電極パッド）15として窒化シリコン膜3およびシリコン酸化膜16から露出している。さらに、P型シリコン基板1にはN型不純物拡散領域17が延設され、N型不純物拡散領域17は固定ドレイン電極8と接続されるとともにアルミ配線18と電気的に接続されている。アルミ配線18の他端部はアルミパッド（電極パッド）19として窒化シリコン膜3およびシリコン酸化膜16から露出している。

【0024】尚、可動ゲート電極6の形成領域以外の領域はシリコン酸化膜16の上に最終保護膜となる窒化シリコン膜（図示略）が形成される。そして、アルミパッド12、15、19はボンディングワイヤにて外部の電子回路と接続されている。

【0025】図3に示すように、P型シリコン基板1における固定ソース電極7と固定ドレイン電極8との間には、反転層20が形成され、同反転層20はシリコン基板1と可動ゲート電極6との間に電圧を印加することにより生じたものである。

【0026】このように本加速度センサは、両持ち梁構造の可動ゲート電極6が配置されており、機械的強度が低い構造となっている。加速度検出の際には、可動ゲート電極6とシリコン基板1との間に電圧を印加すると、反転層20が形成され、固定ソース電極7と固定ドレイン電極8との間に電流が流れる。そして、本加速度センサが加速度を受けて、図3中に示すZ方向（基板表面に垂直な方向）に可動ゲート電極6が変化した場合には電界強度の変化によって反転層20のキャリア濃度が増大

し電流（ドレイン電流）が増大する。このように、本加速度センサは、シリコン基板1の表面に機能素子としてのセンサ素子（可動ゲートMOSTランジスタ）Esが形成され、電流量の増減で加速度を検出することができる。

【0027】シリコン酸化膜16の上において、センサ素子Esの形成領域の周囲にはポリシリコン薄膜よりなる接合枠（以下、Si接合枠という）21が形成されている。Si接合枠21は帯状をなし、かつ、環状（より詳しくは、四角環状）に配置されている。Si接合枠21の外側におけるSi接合枠21の周辺にアルミパッド（電極パッド）12、15、19が配置されている。

【0028】機械的強度の低い可動ゲート電極6を保護するための第2の基板としてのキャップ22は、四角形状のシリコン基板よりなり、このキャップ22の下面に環状の脚部23が設けられている。この脚部23はシリコン基板を局所的にエッチングすることにより形成したものである。キャップ22の下面にはチタン薄膜24、金薄膜25、金薄膜26、チタン薄膜27、金薄膜28が積層されている。より詳しく説明すると、基本構造としてキャップ22の下面にAu/Si共晶接合用の金メッキ薄膜26が形成され、その金メッキ薄膜26の表面がチタン薄膜27（シリコン酸化膜に対し還元性のある金属薄膜）にて覆われ、チタン薄膜27は酸化保護用の金薄膜28にて覆われ、金メッキ薄膜26とキャップ22との間にはチタン薄膜24およびメッキ下地用金薄膜25が介在されている。

【0029】ここで、金薄膜（メッキによる膜）26の膜厚は3.5 μ mであり、チタン薄膜24および金薄膜25の膜厚は1000Åである。又、チタン薄膜27の膜厚は50～800Åであり、金薄膜28は200Åである。

【0030】キャップ22側の脚部23の先端面（下面）とP型シリコン基板1側のSi接合枠21とは、Au/Si共晶体29にて接合されている。より詳しくは、Si接合枠（ポリシリコン薄膜）21と金薄膜26とをAu/Si共晶温度の363℃以上に加熱することにより共晶反応を起こさせてAu/Si共晶体29にて接合している。このAu/Si共晶体29は脚部23の先端面（下面）の全面において形成され、ボイドレスな接合となっている。つまり、チタン薄膜27からのチタン（シリコン酸化物を還元する金属）によりSi接合枠21表面の自然酸化膜が還元され、このときのチタンの酸化物がAu/Si共晶体29内に存在する。尚、Au/Si共晶体29は、図26のAu-Siの相図に示すように、Siが3.1wt%の組成比となる。

【0031】このように、Si接合枠21に対してキャップ22を接合することにより、シリコン基板1の表面においてキャップ22内の空隙30にセンサ素子（可動ゲートMOSTランジスタ）Esが封止された構造とな

っている。即ち、センサ素子Esが形成されたシリコン基板1に対しキャップ22が空隙30をもって対向配置され、この空隙30にセンサ素子Esが封止された構造をなし、このキャップ22にてウェハからチップにダイシングカットする際の水圧や水流から可動ゲート電極6（振動部）を保護することができる。又、保護キャップ22によりセンサ素子（可動ゲートMOSTランジスタ）Esが気密封止された状態で保護されている。

【0032】次に、キャップ22による封止構造の形成工程を、図4～図17に基づいて説明する。尚、この工程は量産性を考慮してキャップとなるチップを一個一個センサチップに接合するのではなくキャップを一括で接合している。

【0033】まず、図4に示すように、キャップとなる第2の基板形成用ウェハとしてのシリコンウェハ（以下、キャップ形成用ウェハと呼ぶ）31を用意する。キャップ形成用ウェハ31はセンサ素子形成用シリコンウェハと同サイズのものを用いる。そして、キャップ形成用ウェハ31の主表面に熱酸化膜32を5000Å形成するとともに裏面にも熱酸化膜33を5000Å形成する。さらに、キャップ形成用ウェハ31の主表面側の熱酸化膜32をホットエッチングにより所望の形状にパターニングする。

【0034】その後、図5に示すように、熱酸化膜32をマスクとしてキャップ形成用ウェハ31をエッチングして凹部34を形成する。この際、エッチング液はKOHなどのアルカリ性溶液を用い、異方性エッチングにより凹部34を形成する。つまり、キャップ材として（100）面のシリコンウェハ31を用いる場合において、シリコン酸化膜32をパターニングマスクとしアルカリ性エッチング液を用いた異方性エッチングにより凹部34を形成する。その結果、キャップ形成用ウェハ31の主表面において凹部34間にSi脚部（凸部）23が形成され、このSi脚部23は接合枠パターンに対応する。このSi脚部（凸部）23は、後の工程でキャップ形成用ウェハ31をダイシングカットする際に、ダイシングブレードとセンサ素子形成用シリコンウェハとの接触を回避するための必要な間隙を確保するためのものである。

【0035】さらに、図6に示すように、マスクとした熱酸化膜32及び裏面の酸化膜33をHF等により除去する。引き続き、図7に示すように、キャップ形成用ウェハ31の主表面にチタン薄膜24および金薄膜25を蒸着法あるいはスパッタリング法により真空中で連続的に成膜する。このとき、チタン薄膜24および金薄膜25の膜厚は1000Åとする。尚、チタン薄膜24は金薄膜25とキャップ側シリコン21との密着性を良好なものとするためのものである。金薄膜25は次工程での金メッキ膜26のシードとして用いているがこの金薄膜25は省略してもよい。

【0036】そして、図8に示すように、金薄膜25の表面に金薄膜26を電解メッキ法により全面メッキする。金薄膜26の膜厚は3.5 μm とする。さらに、図9に示すように、金薄膜26の表面にボイドレス接合とするためのチタン薄膜27とその酸化防止のための金薄膜28を真空中で連続的に成膜する。このときのチタン薄膜27の膜厚は50～800 \AA とする。これは、1000 \AA 以上となると酸化チタンの他にTiシリサイドが多量に形成され接合強度が低下してくるためである。又、金薄膜28の膜厚は金薄膜28中のTiがシリコン表面へ拡散することを考慮して200 \AA とする。

【0037】一方、図10に示すように、センサ素子Esの形成のための第1の基板形成用ウェハとしてのシリコンウェハ（以下、素子形成用ウェハと呼ぶ）35を用意する。この素子形成用ウェハ35には、犠牲層エッチングにより梁構造体を形成する前の可動ゲート電極6が形成されるとともに、ポリシリコン薄膜よりなるSi接合枠21が形成されている。そして、Si接合枠21（素子形成用ウェハの接合部）の表面を粗面化する。具体的にはアルゴン（Ar）をSi接合枠21に照射してその表面をスパッタリングする。つまり、図11に示すように、Si接合枠21（接合領域）のみが開口するように素子形成用ウェハ35の主表面にレジスト37を塗布し、アルゴン（Ar）によりSi接合枠（ポリシリコン薄膜）21の表面を僅かにスパッタリングする。

【0038】さらに、レジスト37を剥離した後、図12に示すように、可動ゲート電極6の回りの犠牲層をエッチングにて除去し、梁構造体を形成する。ここで、図10～図12により説明した工程の詳細を、図18～図22を用いて説明する。

【0039】まず、図18に示すように、シリコン基板1となる素子形成用ウェハ35にフィールド酸化膜2およびゲート絶縁膜5、不純物拡散層（固定ソース電極7、固定ドレイン電極8、拡散領域9、13、17）、引き出し用アルミ配線14等を形成し、さらにエッチングストップとなる窒化シリコン膜3をパターニングする。その上に犠牲層となるシリコン酸化膜16を形成し、所望の形状にパターニングする。そして、その上に可動ゲート電極およびSi接合枠となるポリシリコン薄膜39を堆積するとともにホトレジスト40を配置する。

【0040】さらに、図19に示すように、ポリシリコン薄膜39を通常のホテルソ工程によりパターニングして可動ゲート電極形成領域にポリシリコン薄膜39aを配置するとともにSi接合枠の形成領域（ウェハの表面におけるセンサ素子の形成領域の周囲）にポリシリコン薄膜39bを配置する。

【0041】引き続き、図20に示すように、素子形成用ウェハ35の上にICチップの最終保護膜となる絶縁膜41（例えばプラズマCVD法による窒素シリコン

膜）を形成し、可動ゲート電極形成領域の周辺およびSi接合枠形成領域を保護するようにパターニングする。さらに、絶縁膜41の上にホトレジスト42を形成する。そして、図21に示すように、ホトレジスト42を用いて絶縁膜41を開けするさらに、図22に示すように、ホトレジスト43を用いてフッ酸系のエッチング液でシリコン酸化膜16の犠牲層エッチングを行い、ポリシリコン薄膜39aの周囲のシリコン酸化膜16のみをエッチングする。これにより、可動ゲート電極6の周囲に空隙が確保される。最後に、ホトレジスト43を除去して可動ゲート電極6の形成およびSi接合枠21の形成工程が完了する。

【0042】図18～図22（図10～図12）の工程が終了すると、次に、素子形成用ウェハ35へのキャップ形成用ウェハ31の接合およびウェハダイシングカットを行う。

【0043】まず、図13に示すように、脚部23を形成したキャップ形成用ウェハ31を、センサ素子Esが形成されている素子形成用ウェハ35に位置合わせして、Si接合枠21と脚部23に形成された薄膜積層部24～28（Au膜）を重ね合わせる。より具体的には、図23に示すように、オリエンテーションフラット面を基準にしてキャップ形成用ウェハ31と素子形成用ウェハ35とを位置合わせしてキャップ形成用ウェハ31を素子形成用ウェハ35にマウントする。このオリエンテーションフラット面に平行なるX方向が第1のダイシングカットラインとなるとともに、オリエンテーションフラット面に垂直なるY方向が第2のダイシングカットラインとなる。さらに、図13のキャップ形成用ウェハ31と素子形成用ウェハ35とを、チタン薄膜27が酸化しないように真空中あるいは N_2 等の不活性ガス中あるいは還元雰囲気中で、400℃にて10分間ホルドし、その後、冷却することによって接合する。加圧力は0.8 kgf/mm^2 とする。

【0044】つまり、Si接合枠（ポリシリコン薄膜）21と金薄膜26とをAu/Si共晶温度の363℃以上に加熱することにより共晶反応を起こさせてAu/Si共晶体29にて接合する。その接合のメカニズムについては図30～図33を用いて説明した通りであり、ここではその説明は省くが、チタン薄膜27からのチタン（シリコン酸化物を還元する金属）により脚部23の先端面（下面）の全面においてAu/Si共晶体29が形成され、このAu/Si共晶体29にはシリコン表面の自然酸化膜の還元に伴うチタンの酸化物を含有している。

【0045】このようにチップ化する前のキャップ形成用ウェハ31を一括接合した後、図14に示すようにキャップ形成用ウェハ31をダイシングカットし、キャップ形成用ウェハ31に対し切断しキャップ部45aとキャップ不要部45bとを分離する。つまり、ダイシング

カットにより、図23のオリエンテーションフラット面に対して垂直方向(図中、Y方向)に図14の切れ込み46が入る。

【0046】そして、図15に示すように、粘着シート47をキャップ形成用ウェハ31の裏面に貼り付け、粘着シート47ごと再度ダイシングカットする。このダイシングカットにより、図23のオリエンテーションフラット面に対して水平方向(図中、X方向)に図15の切れ込み48が入る。

【0047】引き続き、図16に示すように、分割されたキャップ形成用ウェハ31から粘着シート47を剥がす。このとき、粘着シート47とともにキャップ不要部45bはすべて除去され、素子形成用ウェハ35上にキャップ22が搭載された形となる。

【0048】キャップ形成用ウェハ31の切断および不要部除去工程が終了すると、次に図17に示すように、素子形成用ウェハ35に対しダイシングカット位置49でのダイシングラインに沿ったダイシングカットを行う。その結果、図1～図3のように個々のセンサチップに分割される。このダイシングの際に水流や水圧が加わるが、外力から保護する必要がある機能素子(梁構造を有するセンサ素子等)がキャップ22により保護される。

【0049】このようにして、図1～図3に示す半導体加速度センサが製造される。図24には、図2のチタン薄膜27の膜厚に対する接合強度の測定結果を示す。この図24においてチタン薄膜27の膜厚が「0」のとき、即ち、チタン薄膜27が無いときには接合強度は6.3MPa～17.3MPaの範囲となり、そのバラツキ $\Delta L1$ は11.0MPaとなる。又、チタン薄膜27の膜厚が4nmのときには接合強度は4.6MPa～9.7MPaの範囲となり、そのバラツキは5.1MPaとなる。同様に、チタン薄膜27の膜厚が10nmのときには接合強度は6.4MPa～12.2MPaの範囲となり、そのバラツキは5.8MPaとなる。チタン薄膜27の膜厚が20nmのときには接合強度は4.8MPa～12.0MPaの範囲となり、そのバラツキは7.2MPaとなる。チタン薄膜27の膜厚が40nmのときには接合強度は5.6MPa～10.7MPaの範囲となり、そのバラツキは5.1MPaとなる。チタン薄膜27の膜厚が56nmのときには接合強度は10.0MPa～14.1MPaの範囲となり、そのバラツキ $\Delta L2$ は4.1MPaとなる。チタン薄膜27の膜厚が150nmのときには接合強度は2.4MPa～11.1MPaの範囲となり、そのバラツキは8.7MPaとなる。

【0050】この結果から、シリコン酸化膜に対し還元性のある金属薄膜としてのチタン薄膜27はその厚さを100～1000Å(10～100nm)とすると、接合強度のバラツキを小さくすることができることが分か

る。

【0051】図25には、図2の金薄膜28の膜厚に対する反応面積比率の測定結果を示す。つまり、横軸に図2のチタン薄膜27の膜厚をとり、縦軸に反応面積比率(全接触面積のうちの共晶反応が起こっている面積比)をとり、金薄膜28の厚さとして「0」の場合、20nmの場合、100nmの場合でプロットしている。尚、図25中にはプロットしていないが、金薄膜28の厚さが50nmの場合には20nmの場合とほぼ同じ値をとった。

【0052】この図25から金薄膜28の厚さとして20nmとした場合が最も反応面積比率が高くなり、次に反応面積比率が高いのは金薄膜28の厚さが100nmの場合であり、金薄膜28の厚さとして「0」の場合が反応面積比率が最も低くなった。

【0053】この結果から、チタン薄膜27の表面に設けられ、チタン薄膜27の酸化防止のための金薄膜28は、その厚さを200～500Å(20～50nm)とするとよいことが分かった。

【0054】このように本実施の形態は、下記の特徴を有する。

(イ)半導体装置の製造方法として、図8のようにキャップ形成用ウェハ31での、素子形成用ウェハ35の表面における少なくともセンサ素子Esの形成領域の周囲に対応する部位に金の薄膜26を形成し(第1工程)、図9のように金の薄膜26の表面に、シリコン酸化膜に対し還元性のあるチタン薄膜27を形成し(第2工程)、図13のようにキャップ形成用ウェハ31の金薄膜26と素子形成用ウェハ35のシリコン部とを接近させた状態から、Au/Si共晶温度以上に加熱して素子形成用ウェハ35のSi接合枠21(シリコン部)とキャップ形成用ウェハ31の金の薄膜26とを接合し(第3工程)、図17のように素子形成用ウェハ35を各チップ毎にダイシングして各チップに裁断した(第3工程)。

【0055】その結果、Si接合枠21(シリコン部)の表面には自然酸化膜が形成されるが、還元性のあるチタン薄膜27の存在によりこの自然酸化膜による接合強度のバラツキを小さくして(図24の $\Delta L2 < \Delta L1$)、安定した接合界面を得ることができ、半導体装置を高歩留りで製造することができる。ここで、Au/Si共晶29にはチタンによるシリコン酸化膜の還元に伴うチタンの酸化物が残る。

(ロ)図24のように還元性のあるチタン薄膜27はその厚さを100～1000Åとすると、最適化が図られる。

(ハ)還元性のあるチタン薄膜27の表面に金薄膜28を形成した後にウェハ接合を行うと、チタン薄膜27の酸化が防止できる。

(ニ)図25のように金薄膜28はその厚さを200～

500 Åとすると、最適化が図られる。

(ホ) ウェハ接合は真空雰囲気下または不活性ガス雰囲気下または還元雰囲気下で行うと、チタン薄膜27の酸化を抑制できる。

(ヘ) 図11のようにウェハ接合前においてスパッタリングによりSi接合枠21の表面に粗面化処理を施すことにより、シリコン部の表面積を増大させて共晶反応を促進させることができる。

【0056】これまで述べてきた実施の形態以外にも下記のように実施してもよい。上記の実施の形態ではボイドレスな接合を達成するためにチタン薄膜27を用いているが、他のシリコン酸化膜を還元する金属であるAl（アルミ）、Ta（タンタル）、Zr（ジルコニウム）、Nb（ニオブ）の薄膜を用いてもよい。この場合も接合時の雰囲気は不活性ガス、還元性ガス、あるいは真空中で行うとよい。

【0057】又、シリコンの接合前の表面処理（粗面化処理）は、Ar（アルゴン）によるスパッタリングの他にも、シリコンエッチング液（アルカリ性溶液）による処理にて行ってもよい。

【0058】さらに、カットするウェハの順序は、センサ形成用ウェハ35からカットし、最後にキャップ形成用ウェハ31をカットしてもよい。さらには、Si接合枠21として、ポリシリコン薄膜の代わりに、単結晶シリコン薄膜や非晶質シリコン薄膜を用いたり、バルクの単結晶シリコンを用いてもよい。ここで、接合用シリコンとして単結晶シリコンを用いた場合に、表面の粗面化処理を施すことの効果が大きい。

【0059】又、キャップ形成用ウェハのウェハ材料は、シリコンの他に、ガラス、セラミクス、樹脂等を用いることができる。さらに、半導体加速度センサの他にも、マイクロダイヤフラム圧力センサやヨーレイトセンサなどシリコンチップ上に可動部（振動部）を有する半導体装置に具体化したり、さらに、接触子等を備えた装置に具体化できる。さらに、表面実装における接合技術（フリップチップボンディング等）にも適用できる。

【図面の簡単な説明】

【図1】実施の形態の半導体装置の平面図。

【図2】図1のII-II断面図。

【図3】図1のIII-III断面図。

【図4】実施の形態の半導体装置の製造工程を示す断面図。

【図5】実施の形態の半導体装置の製造工程を示す断面図。

【図6】実施の形態の半導体装置の製造工程を示す断面図。

【図7】実施の形態の半導体装置の製造工程を示す断面図。

【図8】実施の形態の半導体装置の製造工程を示す断面図。

【図9】実施の形態の半導体装置の製造工程を示す断面図。

【図10】実施の形態の半導体装置の製造工程を示す断面図。

【図11】実施の形態の半導体装置の製造工程を示す断面図。

【図12】実施の形態の半導体装置の製造工程を示す断面図。

【図13】実施の形態の半導体装置の製造工程を示す断面図。

【図14】実施の形態の半導体装置の製造工程を示す平面図。

【図15】実施の形態の半導体装置の製造工程を示す平面図。

【図16】実施の形態の半導体装置の製造工程を示す平面図。

【図17】実施の形態の半導体装置の製造工程を示す断面図。

【図18】実施の形態の半導体装置の製造工程を示す断面図。

【図19】実施の形態の半導体装置の製造工程を示す断面図。

【図20】実施の形態の半導体装置の製造工程を示す断面図。

【図21】実施の形態の半導体装置の製造工程を示す断面図。

【図22】実施の形態の半導体装置の製造工程を示す断面図。

【図23】実施の形態の半導体装置の製造工程を示す平面図。

【図24】接合強度の測定結果を示す図。

【図25】反応面積比の測定結果を示す図。

【図26】相状態を示す状態図。

【図27】接合原理を説明するための断面図。

【図28】接合原理を説明するための断面図。

【図29】接合原理を説明するための断面図。

【図30】接合原理を説明するための断面図。

【図31】接合原理を説明するための断面図。

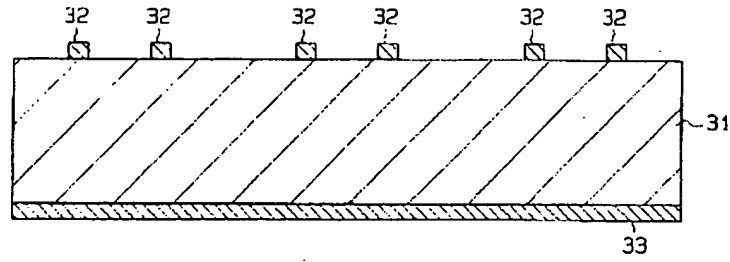
【図32】接合原理を説明するための断面図。

【図33】接合原理を説明するための断面図。

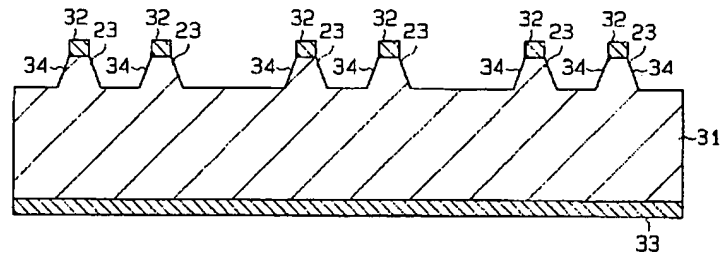
【符号の説明】

1…第1の基板および素子形成用基板としてのシリコン基板、6…可動ゲート電極、7…固定ソース電極、8…固定ドレイン電極、21…Si接合枠、22…第2の基板としてのキャップ、26…金薄膜、27…チタン薄膜、28…金薄膜、29…Au/Si共結晶体、30…空隙、31…第2の基板形成用ウェハとしてのキャップ形成用ウェハ、35…第1の基板形成用ウェハとしての素子形成用ウェハ、Es…機能素子としてのセンサ素子。

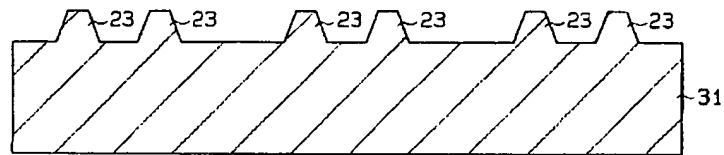
【図4】



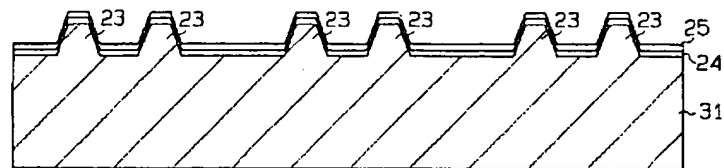
【図5】



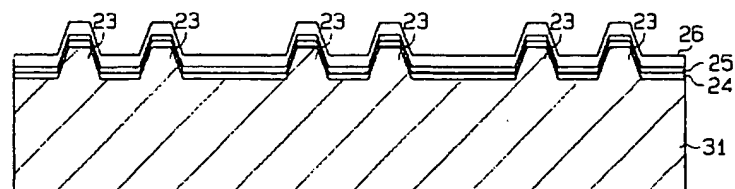
【図6】



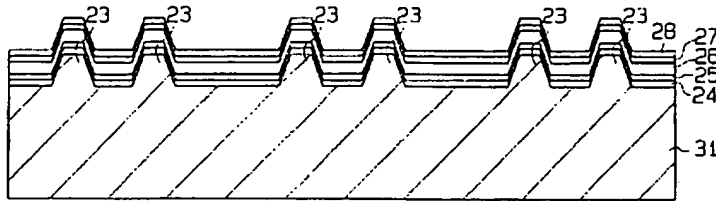
【図7】



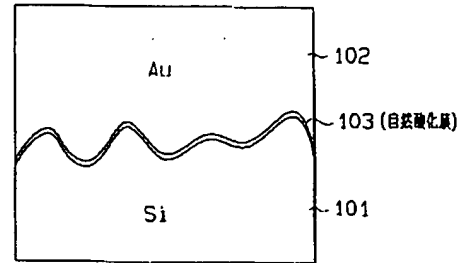
【図8】



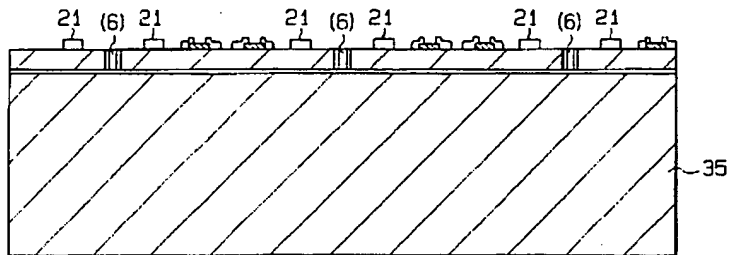
【図9】



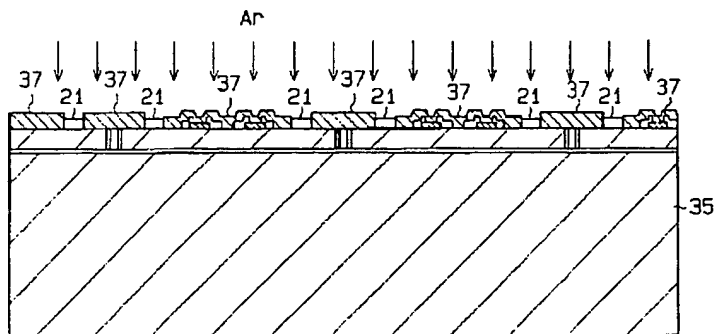
【図28】



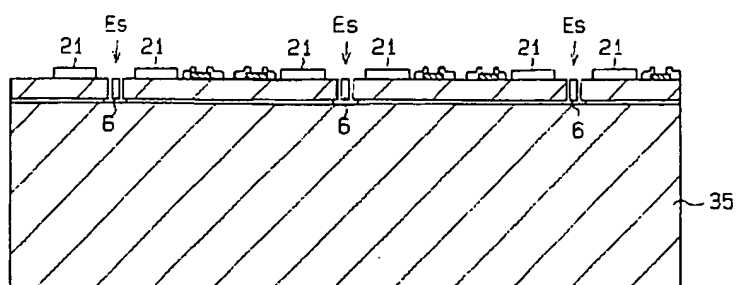
【図10】



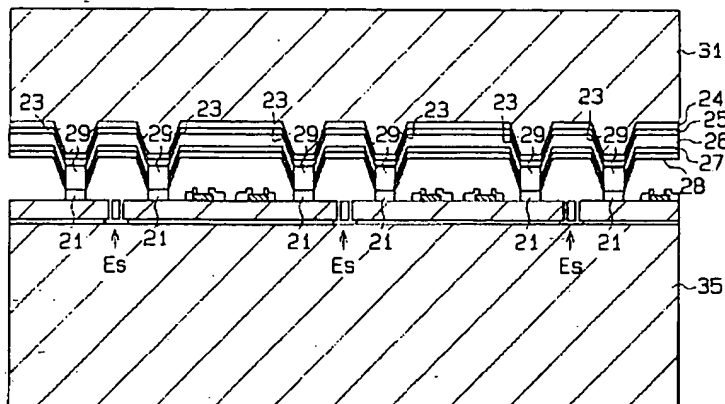
【図11】



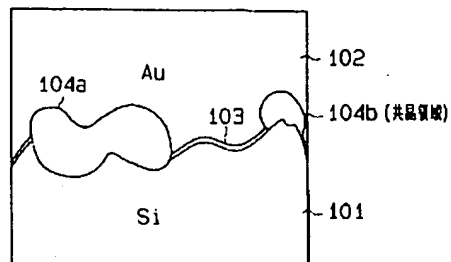
【図12】



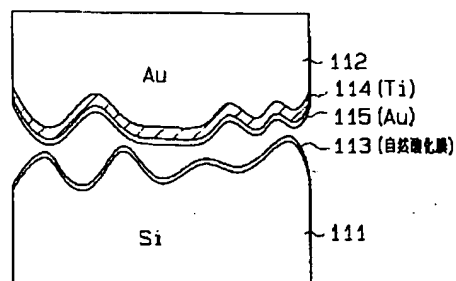
【图 13】



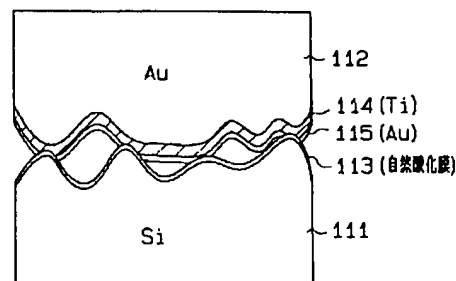
【图29】



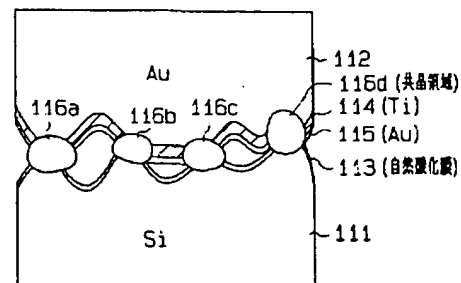
【図30】



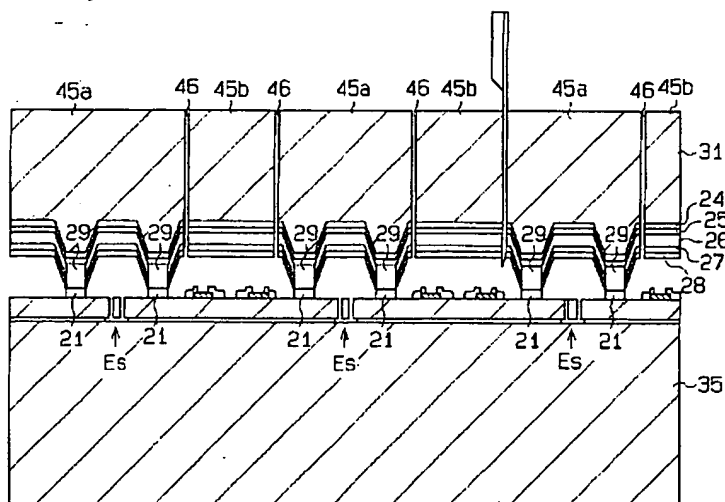
【図31】



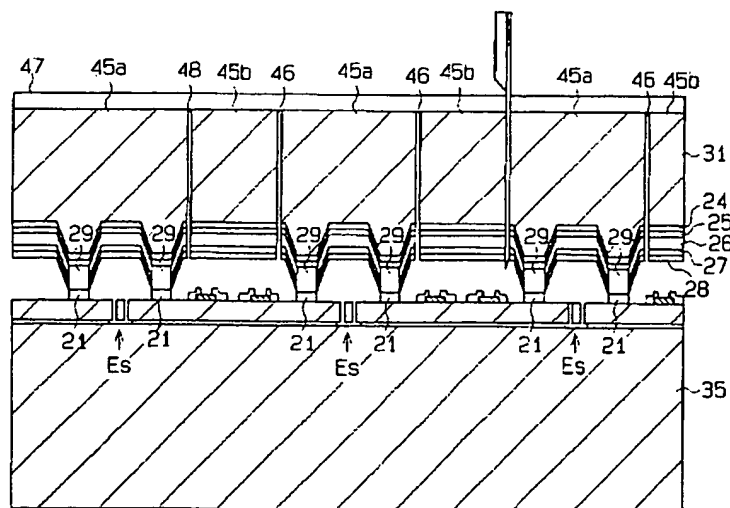
【図32】



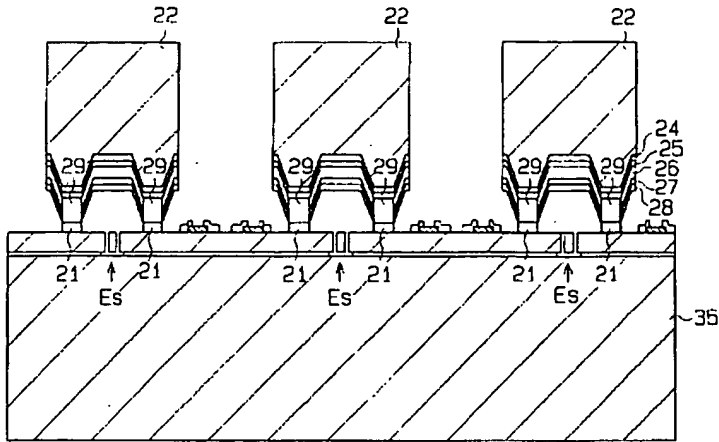
【圖14】



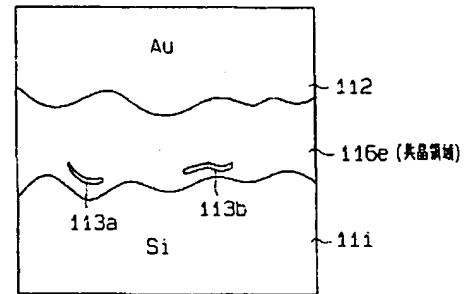
【圖15】



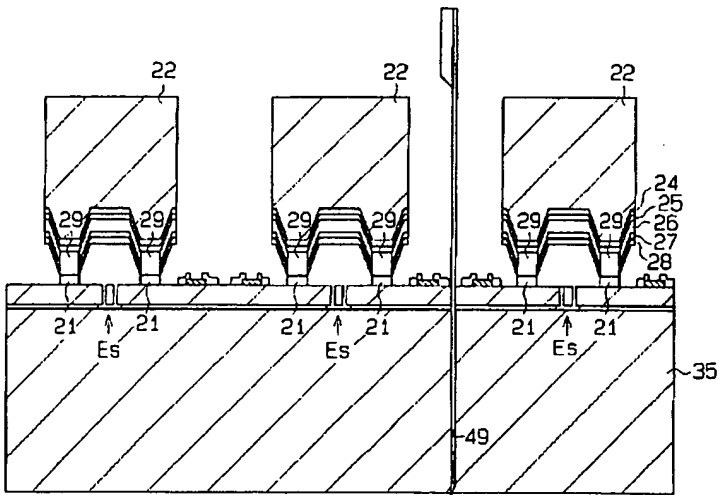
【図16】



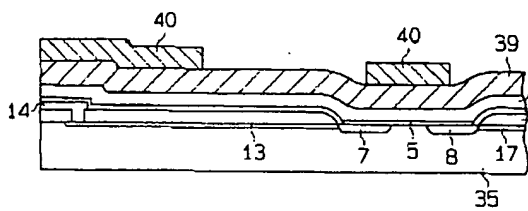
【図33】



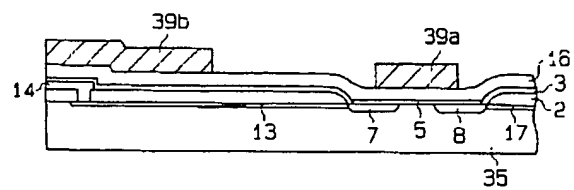
【図17】



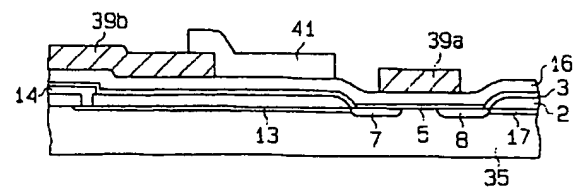
【図18】



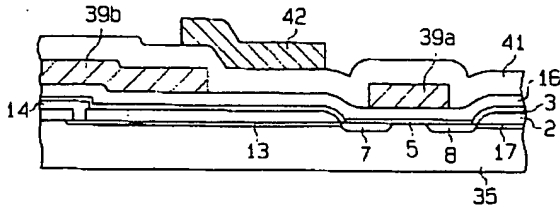
【図19】



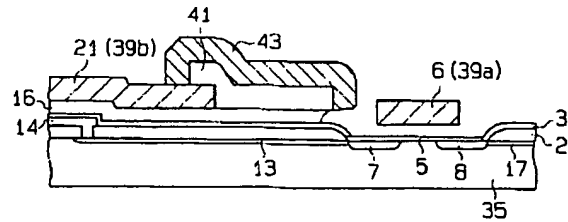
【図21】



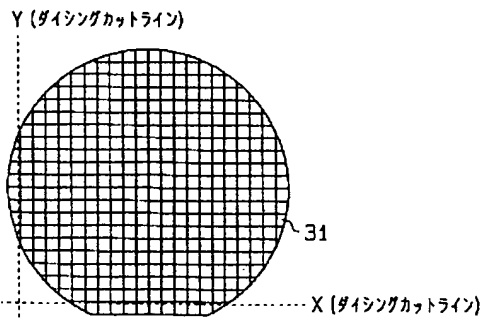
【図20】



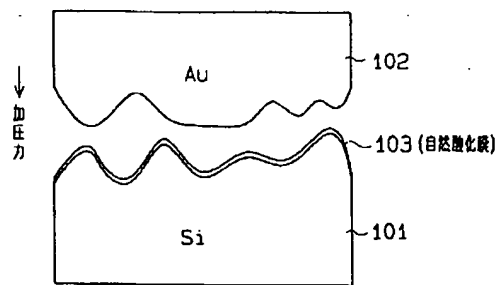
【図22】



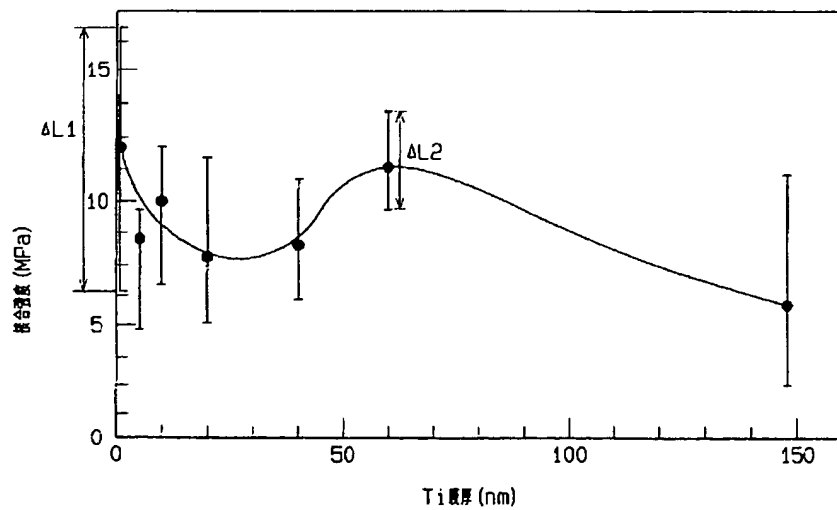
【図23】



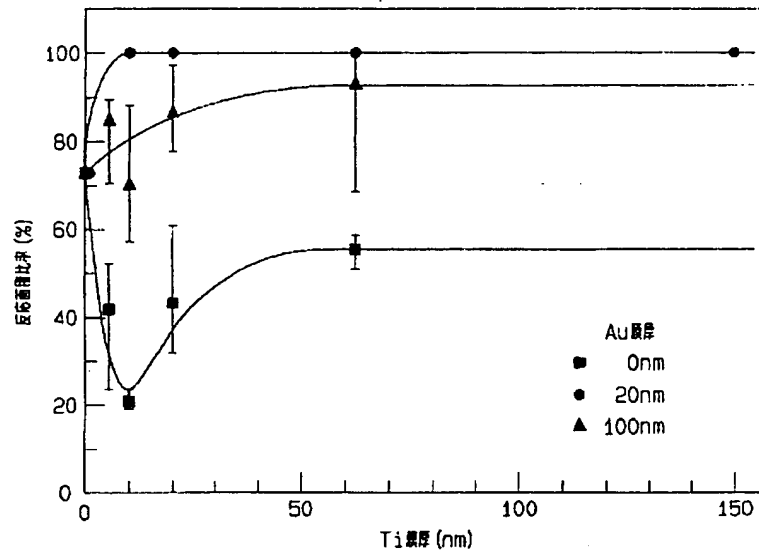
【図27】



【図24】



【図25】



【図26】

